

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2011-146953

(P2011-146953A)

(43) 公開日 平成23年7月28日(2011.7.28)

(51) Int.Cl.	F I	テーマコード (参考)
H04L 1/22 (2006.01)	H04L 1/22	5J042
H04B 3/50 (2006.01)	H04B 3/50	5K014
H04B 3/54 (2006.01)	H04B 3/54	5K046
H03K 19/23 (2006.01)	H03K 19/23	
H03K 19/177 (2006.01)	H03K 19/177	

審査請求 未請求 請求項の数 11 O L (全 23 頁)

(21) 出願番号 特願2010-6484 (P2010-6484)
 (22) 出願日 平成22年1月15日 (2010.1.15)

(71) 出願人 309026484
 株式会社リブ技術研究所
 滋賀県栗東市縄2丁目4番5
 (71) 出願人 000005326
 本田技研工業株式会社
 東京都港区南青山二丁目1番1号
 (74) 代理人 100074273
 弁理士 藤本 英夫
 (72) 発明者 森 節朗
 滋賀県栗東市縄2丁目4番5 株式会社リブ技術研究所内
 Fターム(参考) 5J042 BA09 BA16 CA18 CA20 DA06
 5K014 CA06 DA06 EA03
 5K046 AA01 BA05 BB05 BB06 PS49

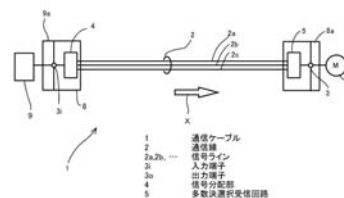
(54) 【発明の名称】 通信回路、通信ネットワークおよび連結装置

(57) 【要約】

【課題】 信頼性の極めて高い通信を簡素な配線システムによって実現できる通信回路、通信ネットワークおよび連結装置を提供する。

【解決手段】 3本以上の信号ライン 2 a , 2 b , 2 c からなる信号線 2 と、この信号線 2 の一端側に接続されて入力端子 3 i に入力された信号を各信号ライン 2 a , 2 b , 2 c に分配送信する信号分配部 4 と、前記信号線 2 の他端側に接続されて各信号ライン 2 a , 2 b , 2 c を介して受信する複数の受信信号を比較して一致数の多い受信信号を真として選択受信し出力端子 3 o に出力する多数決選択受信回路 5 とを備える。

【選択図】 図 1



【特許請求の範囲】

【請求項 1】

3 本以上の信号ラインからなる信号線と、この信号線の一端側に接続されて入力端子に入力された信号を各信号ラインに分配送信する信号分配部と、前記信号線の他端側に接続されて各信号ラインを介して受信する複数の受信信号を比較して一致数の多い受信信号を真として選択受信し出力端子に出力する多数決選択受信回路とを備えることを特徴とする通信回路。

【請求項 2】

3 本以上の信号ラインからなる信号線と、これらの信号線の両端部に接続されて入出力端子に入力された信号を各信号ラインに分配送信する信号分配部と、これらの信号ラインを介して受信する複数の受信信号を比較して一致数の多い受信信号を真として選択受信し入出力端子に出力する多数決選択受信回路と、前記信号分配部および多数決選択受信回路による通信の方向を時分割されたタイミングで切り換えて双方向の通信を行なう時分割通信制御部とを備えることを特徴とする通信回路。

【請求項 3】

3 本以上の信号ラインからなる信号線と、これらの信号線の両端部において複数の入出力端子に入力されたパラレル信号を信号ラインの数に合わせて分配すると共にシリアル信号に変換して各信号ラインに送信する信号分配部と、各信号ラインを介して受信する複数のシリアル信号を比較して一致数の多いシリアル信号を真として選択すると共にパラレル信号に変換して前記入出力端子に出力する多数決選択受信回路と、前記信号分配部および多数決選択受信回路による通信の方向を時分割されたタイミングで切り換える時分割通信制御部とを備えることを特徴とする通信回路。

【請求項 4】

前記多数決選択受信回路は各信号ラインに接続されてそれぞれシリアル信号をパラレル信号に変換する変換回路と、変換された複数のパラレル信号からなるパラレル信号群単位で比較する比較回路と、この比較回路の比較結果を用いて前記パラレル信号のうち一致数の多いものを選択する選択回路とを備える請求項 3 に記載の通信回路。

【請求項 5】

前記多数決選択受信回路によって選択受信したパラレル信号を入出力端子に出力すると共に信号を出力している入出力端子からは信号を入力させないインターロックをかける入出力回路を備える請求項 3 または請求項 4 に記載の通信回路。

【請求項 6】

前記信号線は配線分岐部において分岐接続されており、分岐接続された各信号線の末端に前記信号分配部、多数決選択受信回路および時分割通信制御部を有し、かつ、分岐接続された各信号線の末端から受信する信号をそれぞれ記憶する記憶回路と、この記憶回路に記憶させた各信号線の末端における信号の論理和を受信した信号とする論理和演算回路とを備える請求項 2 ~ 請求項 5 のうち何れか 1 項に記載の通信回路。

【請求項 7】

前記多数決選択受信回路によって受信された信号をそれぞれ出力する複数の内部信号出力部と、前記信号分配部を介して信号線に送信する信号をそれぞれ入力する複数の内部信号入力部と、これらの内部信号出力部から内部信号入力部の間を任意に接続することにより各入出力端子間の接続状態を切り換える格子状結線回路とを備える請求項 2 ~ 請求項 6 のうち何れか 1 項に記載の通信回路。

【請求項 8】

前記格子状結線回路に直接的に接続されて信号の中継を行う中継接続部を備える請求項 7 に記載の通信回路。

【請求項 9】

請求項 7 または請求項 8 に記載の複数の通信回路を前記格子状結線回路を介して網目状に連結して形成される通信ネットワークであり、

前記格子状結線回路はプログラマブルロジックデバイスからなり、前記内部出力部は結

10

20

30

40

50

線情報を書き込むための書込ポートを備え、前記多数決受信回路は通信不良を発生した信号線および/または正しく受信できなかった回数の記録を集計して信号線の信頼度を求める信頼度監視回路を備えるものであり、かつ、各通信回路の信頼性監視回路および書込ポートと通信可能な位置に信頼度の低い通信線をバイパスさせるように各格子状結線回路による結線状態を調整する結線調整部を有することを特徴とする通信ネットワーク。

【請求項 10】

請求項 2 ~ 請求項 6 のうち何れか 1 項に記載の少なくとも 2 本の通信回路の入出力端子が接続される中継入出力端子と、各中継入出力端子から受信する信号をそれぞれ出力する内部信号出力部と、各中継入出力端子から送信する信号をそれぞれ入力する内部信号入力部と、内部信号入力部に入力されるパラレル信号を中継入出力端子に出力すると共に、この信号を出力している中継入出力端子からは信号を入力させないインターロックをかけながら中継入出力端子から入力する信号を内部信号出力部に出力させる入出力回路と、これらの内部信号出力部から内部信号入力部の間を任意に接続することにより各入出力端子間の接続状態を切り換える格子状結線回路とを備えることを特徴とする連結装置。

10

【請求項 11】

前記格子状結線回路はプログラマブルロジックデバイスからなり、このプログラマブルロジックデバイスに結線情報を書き込むことにより前記格子状結線回路による結線状態を調整可能とする書込ポートを備える請求項 10 に記載の連結装置。

【発明の詳細な説明】

【技術分野】

20

【0001】

本発明は、通信回路、通信ネットワークおよび連結装置に関するものであり、より詳細には、信頼性の高い通信を行なうことができる通信回路、通信ネットワークおよび連結装置を提供するものである。

【背景技術】

【0002】

通信ケーブルを配線して信号の送受信を行なう場合、電気的および磁気的なノイズの影響を受けたり通信ケーブルの劣化などにより通信不良が発生することがある。また、通信不良が発生した信号をそのまま制御に用いることにより、システム全体の動作に支障をもたらすことが考えられる。

30

【0003】

そこで、通信ケーブルを用いた通信の信頼性を高めるために、信号にパリティ、チェックサム、巡回冗長検査 (CRC) などの誤り検出符号を付加し、この誤り検出符号を用いて正確な通信が行なわれているかどうかを確認している。そして、誤りの発生が確認された受信信号を破棄したり、誤りが発生した信号の再送を求めることなどが行なわれている。しかしながら、信号の再送を行なう場合には通信時間が倍必要となり、これがレスポンスの低下を招く原因となる。

【0004】

近年では特許文献 1 (特許 3595033 号) に示す計算機システムのように、とりわけ重要な信号を通信する配線を施す場合に、同じ信号を送信するように 2 本の通信ケーブルを配線することが行なわれている。これは、同じ信号を 2 重に送信することにより、何れか一方の通信ケーブルを介する通信が正確に行なわれることにより、障害時にも通信できるようにすることを狙ったものである。

40

【0005】

自動車の LAN に用いられる通信ネットワークの規格 (例えば FlexRay : ダイムラー・アゲー社の登録商標) では一つの通信ケーブルに複数回同じ信号を送信してこれらと比較することにより、正確な通信ができていないかどうかを判断することが行なわれているが、重要データを二度送信することにより、通信時間が倍必要となるという問題がある。そこで、2 つの通信ケーブルを用いて同じ信号を通信する場合には、この 2 つの信号を比較することにより、正確な通信が行なわれたことを確認することも可能である。つま

50

り、誤り検出符号による通信不良の検出に加えて、2本の通信ケーブルを用いて通信される信号を比較することにより、正確な通信が行なわれているかどうかをさらに確実に判断することができ、更に信頼性の高い通信を行うことができる。

【先行技術文献】

【特許文献】

【0006】

【特許文献1】特許3595033号公報

【発明の概要】

【発明が解決しようとする課題】

【0007】

10

しかしながら、2本の通信ケーブルを用いた二重化の通信を行なうだけでは、受信した信号が正しく通信できたかどうかを判断できるにすぎず、誤り検出符号によって誤りが検出できなかった場合にはどちらが真の値であるかを判断できなかった。このため、このような場合には両方の信号を破棄せざるを得なかった。そして破棄した信号の補完をするためには、信号の再送を求める必要が生じ、データ通信を再び行なう必要が生じるため、通信時間が長くなることは避けられなかった。これは、とりわけ通信する信号に即時応答が求められる場合に問題となり、制御の遅れが発生するという問題がある。

【0008】

また、2本の通信ケーブルを用いて一旦受信した信号を比較するためには送信側と受信側の通信回路をそれぞれ2個設ける必要があり、受信した信号を比較して誤り判断を行なうためのCPUが必要となる。つまり、通信した信号の誤り判断や選択のためにCPUの処理能力の一部が使用されるという問題も生じる。したがって、従来方式の信号の二重化を行なうためには、特別な制御システムやプログラムを必要としており、これが構成の複雑化や製造コストの引き上げの原因となっていた。

20

【0009】

加えて、従来二重化を実現するためには通信ケーブルの接続先にはマイクロコンピュータのようなCPUを必要としているので、この面でも構成が複雑になるため、相当重要度の高い通信でなければ二重化を取り入れることはできなかった。つまり、シーケンス回路やプログラマブルロジックコントローラ(以下、PLCという)のように各端末にCPUを備えない制御システム、または車載LANのように低処理能力のCPUを備える制御システムの配線においては通信ケーブルの二重化を実現することは極めて困難であった。

30

【0010】

とりわけ、近年では車載制御システムや機械制御システムなどの制御システムにおいて省配線化が行なわれているが、車や機械の制御においては耐ノイズ性や高信頼性を高く保ちながら、構成の簡略化や製造コストの削減が求められている。また、車や機械の制御システムでは動作不良の原因となるCPUはできるだけ排除することが望まれているが、従来二重化ではこの要求を満たすことができなかった。

【0011】

本発明は上述の事柄を考慮に入れてなされたものであり、その目的は、信頼性の極めて高い通信を簡素な配線システムによって実現できる通信回路、通信ネットワークおよび連結装置を提供することを課題とする。

40

【課題を解決するための手段】

【0012】

前記課題を解決するために、第1発明は、3本以上の信号ラインからなる信号線と、この信号線の一端側に接続されて入力端子に入力された信号を各信号ラインに分配送信する信号分配部と、前記信号線他端側に接続されて各信号ラインを介して受信する複数の受信信号を比較して一致数の多い受信信号を真として選択受信し出力端子に出力する多数決選択受信回路とを備えることを特徴とする通信回路を提供する(請求項1)。

【0013】

信号線の一端側の入力端子に入力された信号は信号分配部によって各信号ラインに分配

50

送信されるので、同じ信号が各信号ラインによって他端側に伝達される。他端側では各信号ラインを介して受信した各受信信号を比較し、多数決選択受信回路が一致数の多い受信信号を選択受信するので、他端側の出力端子には一端側の入力端子に入力されたと同じ信号が出力される。仮に、1本の信号ラインを用いて通信される受信信号に外乱による誤りが発生したとすると、この誤りが発生した受信信号が他の2本の信号ラインを用いて通信される正常な受信信号と一致しなくなるが、残る2つの正常な受信信号は一致するので多数決選択受信回路が正常な受信信号をリアルタイムに選択して受信することができる。

【0014】

信号ラインは銅や銀などの導電率の高い金属からなるワイヤーからなることが好ましく、少なくとも3本あることにより多数決による選択を行うことができる。なお、信号ラインは4本以上あってもよく、その数を増やせば増やすほど、多数決選択によって信頼性を高めることができる。各信号ラインは単なるワイヤーであるだけでなく、このワイヤーの外側に磁気シールド層を備える同軸線であることによりノイズの影響を受けにくくなるので好ましい。また、3本の信号ラインをまとめて磁気シールドを備えるものであってもよい。なお、前記信号ラインとして電源重畳 (Power Line Communication) や無線を含む論理信号ラインを形成してもよいことはいうまでもない。

10

【0015】

また、一端側の入力端子に入力される信号は電磁リレーや半導体によるスイッチングによるオン/オフの接点入力信号であることが好ましく、例えば、入力端子がプルアップされているとすると、オン状態 (信号入力があるアクティブ状態) の接点入力信号はLowレベル、オフ状態 (信号入力がない解放状態) ではHiレベルである。逆に入力端子がプルダウンされている場合には、オン状態の接点入力信号はHiレベル、オフ状態ではLowレベルである。加えて、前記入力部が開放状態で中間電位に設定されているとすると、接点入力信号はオン状態でHi/Lowレベルの接点入力を行うことができ、オフ状態は入力端がハイ・インピーダンス (フローティングレベル) となる3つの状態を有するもの (3ステート) である。

20

【0016】

前記信号分配部は単なる分岐接続部であってもよいが、各信号ラインに出力する電圧または電流を増幅するバッファ回路 (整形・増幅回路) を備えることが好ましい。

【0017】

前記多数決選択受信回路は各信号ラインを介して通信される信号の比較をリアルタイムに行なう比較器を備えることが好ましい。また、信号線の一端側には信号分配部、他端側には多数決選択受信回路を内蔵させたコネクタを形成することにより形成されたワイヤーハーネスは、従来の信号ケーブルと差し替えて使用可能であり、演算処理装置を含まない自動制御システムに容易に組み込んで信頼性を高めることが可能となる。

30

【0018】

第2発明は、3本以上の信号ラインからなる信号線と、これらの信号線の両端部に接続されて入出力端子に入力された信号を各信号ラインに分配送信する信号分配部と、これらの信号ラインを介して受信する複数の受信信号を比較して一致数の多い受信信号を真として選択受信し入出力端子に出力する多数決選択受信回路と、前記信号分配部および多数決選択受信回路による通信の方向を時分割されたタイミングで切り換えて双方向の通信を行なう時分割通信制御部とを備えることを特徴とする通信回路を提供する (請求項2)。

40

【0019】

信号線の一端側の入出力端子に信号が入力された場合、この信号は信号分配部によって各信号ラインに分配送信されるので、同じ信号が各信号ラインによって他端側に伝達される。他端側では各信号ラインを介して受信した各受信信号を比較し、多数決選択受信回路が一致数の多い受信信号を選択受信するので、他端側では一端側に入力されたと同じ信号が出力される。なお、前記信号ラインとして電源重畳 (Power Line Communication) や無線を含む論理信号ラインを形成してもよいことはいうまでもない。

【0020】

50

時分割通信制御部は前記一端側への信号入力が行なわれている状態では一端側から他端側への信号の伝達を行ない、他端側への信号入力を阻止するように制御し、逆に、他端側への信号入力が行なわれている状態では他端側から一端側への信号の伝達を行ない、一端側への信号入力を阻止するように制御することにより、時分割されたタイミングで通信方向を切り換える。また、信号線の各端部に接続される時分割通信制御部は同端部に位置する信号分配部による信号の送信を、例えばトークンパッシング方式など、互いに重なることのない同期タイミングで行なわせる同期制御を行なうものであることが好ましく、これによって、信号の衝突を確実に防止することができる。なお、各時分割制御部は通信回路内にトークン発呼する親局がない場合には自発的にトークン発呼するものであることにより、通信回路切断時にも通信回路の縮退動作をさせることができる。

10

【0021】

仮に、1本の信号ラインに外乱による通信不良が発生すると、誤りが発生した受信信号が他の2本の信号ラインを用いて通信される正常な受信信号と一致なくなり、多数決選択受信回路が正常な受信信号をリアルタイムに選択して受信する。信号ラインは導電率の高い金属からなるワイヤーからなることが好ましく、その数は多ければ多いほど通信の信頼性を高めることができる。各信号ラインは同軸線であることが好ましく、3本の信号ラインをまとめて磁気シールドを備えるものであってもよい。

【0022】

また、信号線の両端部に入力される信号は接点入力信号であることが好ましく、この接点入力信号はオン状態（信号入力がある状態）においてHiレベルまたはLowレベル、オフ状態で逆のレベルとなる二値の信号である。または、この接点入力信号はHiまたはLowの信号入力がある状態と、信号入力なしでハイ・インピーダンス（フローティングレベル）となる3状態（3ステート）であることが好ましい。前記信号分配部は単なる分岐接続部であってもよいが、各信号ラインに出力する電圧または電流を増幅するバッファ回路を備えることが好ましい。前記多数決選択受信回路は各信号ラインを介して通信される信号の比較をリアルタイムに行なう比較器を備えることが好ましい。

20

【0023】

なお、本発明の信号線の両端部に前記信号分配部および多数決選択受信回路を内蔵させたコネクタを形成することにより形成されたワイヤーハーネスは、従来の信号ケーブルと差し替えて使用可能であり、演算処理装置を含まない自動制御システムに容易に組み込んで信頼性を高めることが可能となる。

30

【0024】

第3発明は、3本以上の信号ラインからなる信号線と、これらの信号線の両端部において複数の入出力端子に入力されたパラレル信号を信号ラインの数に合わせて分配すると共にシリアル信号に変換して各信号ラインに送信する信号分配部と、各信号ラインを介して受信する複数のシリアル信号を比較して一致数の多いシリアル信号を真として選択すると共にパラレル信号に変換して前記入出力端子に出力する多数決選択受信回路と、前記信号分配部および多数決選択受信回路による通信の方向を時分割されたタイミングで切り換える時分割通信制御部とを備えることを特徴とする通信回路を提供する（請求項3）。

【0025】

信号線の一端側の入出力端子に入力されたパラレル信号は信号分配部においてシリアル信号に変換されると共に各信号ラインに分配送信されるので、同じシリアル信号が各信号ラインによって他端側に伝達される。他端側では各信号ラインを介して受信した各シリアル信号を多数決選択受信回路においてパラレル信号に変換すると共に各受信信号を比較して一致数の多い受信信号を選択受信するので、他端側では一端側に入力されたと同じパラレル信号を他端側の入出力端子に出力する。加えて、時分割通信制御部は、例えばトークンパッシング方式など、互いに重なることのない同期タイミングで行なわせる同期制御を行なうものであることが好ましく、これによって信号の衝突を確実に防止することができる。なお、各時分割制御部は通信回路内にトークン発呼する親局がない場合には自発的にトークン発呼するものであることにより、通信回路切断時にも通信回路の縮退動作をさ

40

50

せることができる。

【0026】

仮に、1本の信号ラインに通信不良が発生すると、誤りが発生した受信信号が他の2本の信号ラインを用いて通信される正常な受信信号と一致なくなり、多数決選択受信回路が正常な受信信号をリアルタイムに選択して受信する。なお、多数決選択受信回路においてシリアル信号をパラレル信号に変換するタイミングは多数決選択を行なう前に行なうことにより、より厳密なリアルタイム通信を行うことができる。一方、先にパラレル変換を行なった後に、多数決選択を行なう場合には、パラレル変換時に誤りが判明した信号を除外して多数決の選択受信を行うことができるので、より信頼性の高い通信を行うことができる。

10

【0027】

信号ラインは導電率の高い金属からなるワイヤーからなることが好ましく、その数は多ければ多いほど通信の信頼性を高めることができる。各信号ラインは同軸線であることが好ましく、3本の信号ラインをまとめて磁気シールドを備えるものであってもよい。なお、前記信号ラインとして電源重畳 (Power Line Communication) や無線を含む論理信号ラインを形成してもよいことはいうまでもない。

【0028】

また、信号線の両端部に入力される信号は接点入力信号であることが好ましく、この接点入力信号はオン状態においてHiレベルまたはLowレベル、オフ状態で逆のレベルとなる二値の信号である。または、この接点入力信号はHiまたはLowの信号入力があるオン状態と、オフ状態でハイ・インピーダンス (フローティングレベル) となる3状態 (3ステート) であることが好ましい。前記信号分配部は単なる分岐接続部であってもよいが、各信号ラインに出力する電圧または電流を増幅するバッファ回路を備えることが好ましい。前記多数決選択受信回路は各信号ラインを介して通信される信号の比較をリアルタイムに行なう比較器を備えることが好ましい。

20

【0029】

なお、前記信号分配部はシリアル変換した後に各信号ラインに分配するものであることによりシリアル変換部を一つにすることができるが、各信号ラインの数に合わせて先に分配したパラレル信号をそれぞれシリアル変換するものであることによりシリアル変換部の動作不良による影響も多数決選択によって取り除くことができる。

30

【0030】

また、本発明の信号線の両端部に前記信号分配部および多数決選択受信回路を内蔵させたコネクタを形成することにより形成されたワイヤーハーネスは、従来の信号ケーブルと差し替えて使用可能であり、演算処理装置を含まない自動制御システムに容易に組み込んで信頼性を高めることが可能となる。

【0031】

前記多数決選択受信回路は各信号ラインに接続されてそれぞれシリアル信号をパラレル信号に変換する変換回路と、変換された複数のパラレル信号からなるパラレル信号群単位で比較する比較回路と、この比較回路の比較結果を用いて前記パラレル信号のうち一致数の多いものを選択する選択回路とを備える場合 (請求項4) には、変換回路がパラレル変換した信号を比較回路によってパラレル信号群単位で比較するので、選択回路は正しく通信できた信号を容易かつ確実に見分けることができる。また、変換回路、比較回路、選択回路が論理演算によって最も信頼できる受信信号を選択するので、リアルタイムで時間的な遅れなしに選択することができる。

40

【0032】

前記多数決選択受信回路によって選択受信したパラレル信号を入出力端子に出力すると共に信号を出力している入出力端子からは信号を入力させないインターロックをかける入出力回路を備える場合 (請求項5) には、入出力回路は信号を出力している入出力端子から信号を入力させないインターロックをかけるものであるから、通信方向を入力信号に合わせて切り換えることができる。

50

【0033】

前記信号線は配線分岐部において分岐接続されており、分岐接続された各信号線の末端に前記信号分配部、多数決選択受信回路および時分割通信制御部を有し、かつ、分岐接続された各信号線の末端から受信する信号をそれぞれ記憶する記憶回路と、この記憶回路に記憶させた各信号線の末端における信号の論理和を受信した信号とする論理和演算回路とを備える場合（請求項6）には、分岐接続された各信号線の末端においても同様に受信信号を受信してこれを出力することができる。また、何れかの末端において信号が入力された場合には、他のすべての末端においてその記憶回路に記憶されて同じ部分の論理和を出力するので、信号の流れる方向を容易かつ明確に調整でき、信号の衝突が発生することがない。

10

【0034】

前記多数決選択受信回路によって受信された信号をそれぞれ出力する複数の内部信号出力部と、前記信号分配部を介して信号線に送信する信号をそれぞれ入力する複数の内部信号入力部と、これらの内部信号出力部から内部信号入力部の間を任意に接続することにより各入出力端子間の接続状態を切り換える格子状結線回路とを備える場合（請求項7）には、格子状結線回路による接続を切り換えるだけで、内部信号出力部と内部信号入力部が接続または切断されるので、格子状結線回路の設定によって各入出力端子間の結線状態を自在に設定することができる。

【0035】

前記格子状結線回路に直接的に接続されて信号の中継を行う中継接続部の場合（請求項8）には、この中継接続部に例えば保守点検用のモニタ装置などの入出力端子を接続することができる。なお、本発明の通信回路を、その中継端に設けた中継コネクタ内に前記中継接続部が形成された、ワイヤーハーネスとすることにより、このワイヤーハーネス同士を容易に連結してネットワーク化することができる。

20

【0036】

第4発明は、複数の通信回路を前記格子状結線回路を介して網目状に連結して形成される通信ネットワークであり、前記格子状結線回路はプログラマブルロジックデバイスからなり、前記内部出力部は結線情報を書き込むための書込ポートを備え、前記多数決受信回路は通信不良が発生した信号線および/または正しく受信できなかった回数の記録を集計して信号線の信頼度を求める信頼度監視回路を備えるものであり、かつ、各通信回路の信頼性監視回路および書込ポートと通信可能な位置に信頼度の低い通信線をバイパスさせるように各格子状結線回路による結線状態を調整する結線調整部を有することを特徴とする通信ネットワークを提供する。（請求項9）

30

【0037】

本発明の前記通信ネットワークは、複数の通信線を網目状に連結して形成されるものであるから、通信ネットワーク上の一つの入出力端子に入力された信号は複数の通信線を介して伝達され、格子状結線回路によって結線された別の通信回路に設けた入出力端子に出力される。また、格子状結線回路は例えばFPGAなどのプログラマブルロジックデバイスからなるので、結線調整部を介して動的に結線状態を調整することができる。加えて、多数決受信回路が信頼度監視回路を備えるので、種々のノイズや劣化に伴って通信回路の信頼性が低いと判断される場合に、この通信回路を通さないように前記格子状結線回路の結線状態を動的に変更することができる。

40

【0038】

つまり、本発明の通信ネットワークによれば、複数の通信回路が、それぞれより信頼性の高い多数決選択による通信を行なうことができるだけでなく、仮に一本の通信回路において切断や特性劣化による回避できない通信不良が発生した場合には、この通信不良が発生した通信回路をバイパスするように信号を伝達させることができるという点において、更に信頼性の高い通信を行うことができる。なお、各通信回路に接続された各信号分配部は積極的にトークン発呼することにより、信号線切断時における縮退通信を行なうものであることがより好ましい。このように更に信頼性の高い通信を行なう通信ネットワーク

50

は、自動車、飛行機、船、ロケットなどの移動手段、および、ロボットやなどの装置に組み込まれる自動制御装置において、高信頼性を必要とする部分の配線を行なうのに適している。

【0039】

第5発明は、少なくとも2本の通信回路の入出力端子が接続される中継入出力端子と、各中継入出力端子から受信する信号をそれぞれ出力する内部信号出力部と、各中継入出力端子から送信する信号をそれぞれ入力する内部信号入力部と、内部信号入力部に入力される平行信号を中継入出力端子に出力すると共に、この信号を出力している中継入出力端子からは信号を入力させないインターロックをかけながら中継入出力端子から入力する信号を内部信号出力部に出力させる入出力回路と、これらの内部信号出力部から内部信号入力部の間を任意に接続することにより各入出力端子間の接続状態を切り換える格子状結線回路とを備えることを特徴とする連結装置を提供する。(請求項10)

10

【0040】

本発明の連結装置は、前記中継入出力端子に少なくとも2本の通信回路の入出力端子を連結することにより、一つの通信回路間において任意の入出力端子に入力された信号を中継して別の通信回路の入出力端子に出力させることができる。つまり、一つの通信回路の入出力端子に入力された信号をこれが接続される側の内部信号出力部に出力させ、これを格子状結線回路を介して内部信号入力部に入力させ、別の通信回路に中継させることができる。

【0041】

また、前記通信回路がワイヤーハーネスである場合には、連結装置はワイヤーハーネスの中継器となる。加えて、一つの連結装置に3本以上の通信回路を接続できるように中継入出力端子を設けた場合には、連結装置は通信回路の分岐接続装置となる。

20

【0042】

前記格子状結線回路はプログラマブルロジックデバイスからなり、このプログラマブルロジックデバイスに結線情報を書き込むことにより前記格子状結線回路による結線状態を調整可能とする書込ポートを備える場合(請求項11)には、前記連結装置による信号の中継を動的に変更することができる。つまり、信頼性の低い通信回路を動作中にバイパスさせる動的変化を容易に行うことができる。なお、書込ポートは内部信号出力部に設けることにより、書込ポートに出力する内容も通信にて送信することが可能である。

30

【発明の効果】

【0043】

前述したように、第1~3発明の通信回路は3本以上の信号ラインを用いて同じ信号を通信させ、多数決による選択を行なうことにより外乱の影響を通信回路単体でリアルタイムに取り除くことができる。つまり、高速応答性と高信頼性を両立させることができる。加えて、本発明の通信回路は従来の通信回路と差し替えて使用することが可能であるから、従来のように高信頼性を確保するために比較的高価で誤動作発生や処理の遅れの原因となるCPUを用いることなく、オン/オフの接点信号を電送することができる。

【0044】

信号線が配線分岐部において分岐接続された場合には、2箇所以上の離れた位置において、入出力端子に入出力される信号を共有することができる。

40

【0045】

第4発明の通信ネットワークは複数の通信回路を持ちいて通信ネットワークを形成することにより、通信の信頼性を更に向上させることができる。

【0046】

第5発明の連結装置は複数の通信回路を容易に中継接続または分岐接続することができる。

【図面の簡単な説明】

【0047】

【図1】本発明の第1実施形態に係る通信回路の全体構成を示す図である。

50

【図 2】図 1 に示す通信回路の要部を拡大して示す図である。
 【図 3】第 2 実施形態に係る通信回路の全体構成を示す図である。
 【図 4】図 3 に示す通信回路の要部を拡大して示す図である。
 【図 5】前記通信回路の動作を説明する図である。
 【図 6】第 3 実施形態に係る通信回路の全体構成を示す図である。
 【図 7】図 6 に示す通信回路の要部を拡大して示す図である。
 【図 8】前記通信回路の細部の具体的な構成を示す図である。
 【図 9】本発明の連結装置の構成を示す図である。
 【図 10】本発明の通信回路および連結装置を用いた通信ネットワークの一例を示す図である。

10

【発明を実施するための形態】

【0048】

図 1, 2 は本発明の第 1 実施形態に係る通信回路 1 の構成を説明する図である。

図 1, 2 に示すように、第 1 実施形態の通信回路 1 は、3 本の信号ライン 2 a, 2 b, 2 c からなる信号線 2 と、これらの信号線 2 の一端側に接続されて入力端子 3 i に入力された信号を各信号ライン 2 a, 2 b, 2 c に分配送信する信号分配部 4 と、前記信号線 2 の他端側に接続されて各信号ライン 2 a, 2 b, 2 c を介して受信する複数の受信信号を比較して一致数の多い受信信号を真として選択受信し出力端子 3 o に出力する多数決選択受信回路 5 とを備える。

【0049】

20

6 は入力端子 3 i と信号分配部 4 を収容するコネクタ、7 は多数決選択受信回路 5 と出力端子 3 o を収容するコネクタであり、本発明の通信回路 1 はモータ M の制御対象 8 と、制御装置 9 とを接続可能とするワイヤーハーネスである。これら制御対象 8 と制御装置 9 にはワイヤーハーネス 1 に接続可能なコネクタ 8 a, 9 a を備え、これらのコネクタ 8 a, 9 a にワイヤーハーネス 1 のコネクタ 6, 7 を接続可能としている。

【0050】

図 2 に示すように、前記信号ライン 2 a, 2 b, 2 c は何れもメッシュ状の導体からなる磁気シールド 2 s を備える同軸ケーブルであり、これらの磁気シールド 2 s は信号分配部 4 および多数決選択受信回路 5 のグラウンドに接続されている。なお、本発明の通信回路 1 は 3 本以上の信号ライン 2 a, 2 b... を備えるものであればよい。

30

【0051】

前記入力端子 3 i および出力端子 3 o はコネクタ 6, 7 の接続端子を形成するものであり、プラグまたはレセプタクルからなり、本実施形態では説明を簡単にするために一つのコネクタ 6, 7 に対して 1 本設けている。

【0052】

前記信号分配部 4 は前記信号ライン 2 a, 2 b, 2 c の数に合わせて複数のバッファ 4 a, 4 b, 4 c を備え、これらのバッファ 4 a, 4 b, 4 c は分岐部 4 d における信号の分岐に伴う電流不足を解消するものである。

【0053】

前記多数決選択受信回路 5 は前記各信号ライン 2 a, 2 b, 2 c を介して受信する受信信号のうち 2 つを比較する比較器 5 a, 5 b, 5 c と、これらの比較器 5 a, 5 b, 5 c の比較結果を用いて、最も一致数の多い受信信号を選択受信する選択回路 5 d とを備え、ハードウェア処理によって多数決選択受信を行うことができるものである。

40

【0054】

従って、上記構成の通信回路 1 を通常の信号線として用いているワイヤーハーネスと入れ替えて用いることにより、矢印 X の方向に信号を伝達させることができ、通信の信頼性を大幅に引き上げることができる。例えば、信号ライン 2 a, 2 b, 2 c に外乱によるノイズ N があつたとしても、まず、磁気シールド 2 s によってノイズ N の大多数が吸収される。つまり、3 つの信号ライン 2 a, 2 b, 1 c を介して受信する 3 つの信号はすべて同じとなり、比較器 5 a, 5 b, 5 c は何れも一致を出力するので、選択回路 5 d は信号ラ

50

イン 2 a , 2 b , 2 c のどれから信号を受信してもよく、選択回路 5 d はどの信号を選んでも真の値である。

【 0 0 5 5 】

今、一例として信号ライン 2 a によって通信される情報がノイズ N の影響を受けて反転したとすると、この信号ライン 2 a を介して受信する信号と他の信号ライン 2 b , 2 c を介して受信する信号が一致しなくなり、比較器 5 a , 5 b が不一致を出力し、比較器 5 c のみが一致を出力するので、前記選択回路 5 d は一致している信号ライン 2 b , 2 c を介して受信する信号の何れか一方を選択して出力端子 3 o に出力する。

【 0 0 5 6 】

つまり、前記 3 本の信号ライン 2 a , 2 b , 2 c の何れかにノイズ N が入り込み、信号に誤りが入り込んだとしても、入力端子 3 i に入力された信号は正しく出力端子 3 o にリアルタイムに出力されるので、制御装置 9 からの制御信号によってモータ M 等の制御対象は正しく制御される。前記信号の送受信において CPU などを用いた信号処理を行なっておらず、遅れ時間なしで正しい信号を出力させることができる。従って、本発明の通信回路 1 は本実施形態に例示したように、より簡単な自動制御システムにおける高信頼性を必要とする部分に用いることができる。

【 0 0 5 7 】

なお、本実施形態では、信号ライン 2 a , 2 b , 2 c がそれぞれ同軸ケーブルを採用しているので、更に外部のノイズ N の影響を受けにくくしてるが、これら信号ライン 2 a , 2 b は銅や銀などの金属からなる電線（ワイヤー）であってもよい。また、上述の本実施形態では前記入力端子 3 i 、出力端子 3 o は何れも一つのコネクタ 6 , 7 に一つだけ設けているので、信号をスイッチ切り替えすることなく連続的に送信する例を示しているが、一つのコネクタ 6 , 7 に対して複数の入力端子 3 i 、出力端子 3 o を設けた場合には、時分割のシリアル通信によって複数の信号を送信することができる。

【 0 0 5 8 】

図 3 , 4 は本発明の第 2 実施形態にかかる通信回路 10 の構成を示す図である。なお、以下の説明において図 1 , 2 と同じ符号付した部材は同一または同等の部材であるから、その詳細な説明を省略することにより重複説明を避ける。

【 0 0 5 9 】

図 3 , 4 に示すように、本実施形態の通信回路 10 は 3 本以上の信号ライン 2 a , 2 b , 2 c からなる信号線 2 と、これらの信号線 2 の末端に接続されて入出力端子 11 に入力された信号を各信号ライン 2 a , 2 b , 2 c に分配送信する信号分配部 12 と、これらの信号ライン 2 a , 2 b , 2 c を介して受信する複数の受信信号を比較して一致数の多い受信信号を真として選択受信し入出力端子 11 に出力する多数決選択受信回路 13 と、前記信号分配部 12 および多数決選択受信回路 13 による通信の方向を時分割されたタイミングで切り換えて双方向の通信を行なう時分割通信制御部 14 と、多数決選択受信回路 13 によって選択受信した信号を入出力端子 11 に出力すると共に信号を出力しているときは信号を入力させないインターロックをかける入出力回路 15 とを備える。また、10 a は前記通信回路 10 の両端に設けたコネクタであり、2 e は前記信号線 2 の配線分岐部である。

【 0 0 6 0 】

本実施形態の通信回路 10 は信号線 2 が配線分岐部 2 e によって分岐接続されているので 3 つの末端を有するものであり、これらの末端にそれぞれコネクタ 10 a ~ 10 c を設けたワイヤーハーネスである。信号線 2 の分岐数はモータ 16 を制御する制御信号を出力する機器の数によって定められるのであり、本実施形態では説明を簡略化するために信号線 2 が 3 つの末端を備える例を示しているが、この分岐数は必要に応じて自在に調整できることはいうまでもない。

【 0 0 6 1 】

入出力端子 11 はコネクタ 10 a ~ 10 c の接続端子を形成し、信号線の入出力端子 11 はプラグまたはレセプタクルからなり、本実施形態では説明を簡単にするためにコネク

10

20

30

40

50

タ 1 0 a ~ 1 0 c に対して 1 本設けている例を示す。なお、コネクタ 1 0 a ~ 1 0 c 内に複数の入出力端子 1 1 を設けた場合には、各信号分配部 1 2 で各入出力端子 1 1 に入力された信号をシリアル信号に変換して時分割送信することができる。

【 0 0 6 2 】

信号分配部 1 2 は入出力端子 1 1 から入力する信号を前記時分割通信制御部 1 4 によって定められたタイミングで信号ライン 2 a , 2 b , 2 c に H i レベルまたは L o w レベルのオン信号、あるいは、ハイインピーダンスのオフ信号の何れかの信号 (3 ステート信号) を出力するものであり、図 4 に示すように、これらの信号ライン 2 a , 2 b , 2 c の数に合わせて設けた 3 ステートバッファ 1 2 a , 1 2 b , 1 2 c を備える。なお、3 ステートバッファ 1 2 a , 1 2 b , 1 2 c のハイインピーダンス時の電圧レベルは H i レベルと L o w レベルの中間の電圧レベル (以下、 M i d レベルという) となるように構成している。

10

【 0 0 6 3 】

多数決選択受信回路 1 3 は各信号ライン 2 a , 2 b , 2 c を介して受信する受信信号のうち 2 つを比較する比較器 1 3 a , 1 3 b , 1 3 c と、これらの比較器 1 3 a , 1 3 b , 1 3 c の比較結果を用いて、最も一致数の多い受信信号を選択受信する選択回路 1 3 d とを備え、ハードウェア処理によって多数決選択受信を行うことができるものである。

【 0 0 6 4 】

時分割通信制御部 1 4 は、トークンパッシング方式による同期型の通信を行なわせるものであって、トークン信号を積極的に発呼させるアービトラージ機能を備えたトークン発呼制御部 1 4 a と、自局のノード番号を記録する S S (Sending Slot) 記憶部 1 4 b と、受信する局のノード番号を記録する R S (Resiving Slot) 記憶部 1 4 c と、トークン信号によって S S 記憶部 1 4 b に記録させた自局ノードが割当てられた同期タイミングに合わせて信号分配部 1 2 に信号を出力させる信号送信制御部 1 4 d と、 R S 記憶部 1 4 c に記憶させた多局ノードからの信号を多数決選択受信回路 1 3 に受信させる信号受信制御部 1 4 e とを備える。

20

【 0 0 6 5 】

入出力回路 1 5 は入出力端子 1 1 を信号分配部 1 2 または多数決選択受信回路 1 3 に切り換えて接続することにより、多数決選択受信回路 1 3 からの信号を入出力端子 1 1 に出力しているときにはこの入出力端子 1 1 からの信号を信号分配部 1 2 に入力させないインターロックをかけるものであり、前記 R S 記憶部 1 4 c に記録させた多極ノードからの受信信号のオンオフ状態および電圧レベルをトークン 1 サイクル以上の間一旦記憶させる記憶回路 1 5 a と、この記憶回路 1 5 a に記憶させた信号がオン状態である場合の論理和を演算して信号線 2 の使用権を求める論理演算回路 1 5 b と、この論理演算回路 1 5 b の論理和演算によって R S 記憶部 1 4 c に記録させた多極ノードからの受信信号の何れかがオン状態であることが判明したときに入出力端子 1 1 にその電圧レベルを出力させるようにスイッチ切換を行なうスイッチ回路 1 5 c とを備える。

30

【 0 0 6 6 】

1 6 は自動車のドアの施解錠を行なうモータ、1 7 はこのモータ 1 6 に電力を供給するモータドライバ、1 8 は使用者の操作によって入力されるドアの施解錠を行なうための操作スイッチ、1 9 は電磁波などによるリモート制御によってモータドライバ 1 7 に制御信号を送る電子制御ユニットである。前記モータドライバ 1 7、操作スイッチ 1 8、電子制御ユニット 1 9 はそれぞれコネクタ 1 7 a , 1 8 a , 1 9 a を備え、これらのコネクタ 1 7 a , 1 8 a , 1 9 a は通信回路 1 0 のコネクタ 1 0 a , 1 0 b , 1 0 c に接続されることにより各部材 1 7 , 1 8 , 1 9 が通信回路 1 0 による配線システムによって互いに接続される。

40

【 0 0 6 7 】

次に、図 5 を用いて前記通信回路 1 を用いた配線システムの動作を説明する。仮にモータ 1 6 , 操作スイッチ 1 8 , 電子制御装置 1 9 が接続された各ノード (コネクタ 1 0 a ~ 1 0 c 内の入出力端子 1 1) 毎に S S 記憶部 1 4 b に、それぞれ、アドレス " 1 "、" 2

50

”、” 3 ” が設定されているとする。このとき、RS 記憶部 14 c には多ノードのアドレス ” 2 , 3 ”、” 1 , 3 ”、” 1 , 2 ” が設定される。

【 0068 】

各ノードのトークン発呼制御部 14 a はトークン発呼がない状態で所定時間が経過すると、積極的に発呼するが、例えば SS 記憶部 14 b に記憶させた情報に合わせてトークンを発呼するタイミングをずらすことにより、最も優先順位の高い SS 番号 ” 1 ” のノード（操作スイッチ 18 が取り付けられたコネクタ 10 a の入出力端子 11）のトークン発呼制御部 14 a がバスマスタとして選択されトークン T 1 ~ T 3 を発呼して全体の同期タイミングを定める。本実施形態の場合、通信回路 10 内に 3 つのノードが存在するので、トークン発呼制御部 14 a はその数に合わせたトークン T 1 ~ T 3 を所定時間（スロットサイクル）T 毎に発信させる。

10

【 0069 】

各ノードはトークン T 1 ~ T 3 に続く、自局に与えられた同期タイミングで自局ノード番号 ” # 1 ” ~ ” # 3 ” と入出力端子 11 に入力された信号を信号線 2 に送信する。なお、入出力端子 11 に信号の入力がない場合には、Mid レベル（オフ状態）が送信される。図 5 に示す波形 S 1 ~ S 3 はコネクタ 10 a ~ 10 c 内の信号分配部 12 が信号線 2 に送信する信号を表わしており、実線を用いて一つの例を説明し、仮想線を用いて信号の変動範囲を示す。また、SW は操作スイッチ 18 からの入力信号、Mot はモータドライバ 17 への出力信号を示す。

【 0070 】

20

図 5 における最初のトークン T 1 が発呼されるときに操作スイッチ 18 が操作されて Hi レベルが入力されているとすると、コネクタ 10 a 内の信号分配部 12 は自局ノード番号 ” # 1 ” を送信した後に、入力信号に合わせて Hi レベルを信号線 2 に送信し、コネクタ 10 b 内の多数決選択受信回路 13 はこの信号を受信して入出力端子 11 に出力する。つまり、モータドライバ 17 に Hi レベルが出力されて、モータ 16 に駆動電流が流されることによりモータ 16 は回転する。なお、入力された電圧レベルが Low レベルであればモータ 16 は逆方向に回転する。すなわち、スイッチ SW によってモータ 16 を性逆回転させて自動車の施解錠を行うことができる。

【 0071 】

30

同時にノード番号 ” 2 ” と ” 3 ” の入出力回路 15 に設けた記憶回路 15 a には、ノード番号 ” 1 ” から Hi レベルの信号を受信したことが記憶され、入出力端子 11 に受信した Hi レベルの電圧信号が出力されると共に、論理和演算回路 15 b が記憶回路 15 a に何れかのノードからのオン信号が入力されていることを検出することにより、入出力端子 11 からの信号入力を阻止するインターロックをかけるようにスイッチ回路 15 c を切り換える。

【 0072 】

40

すなわち、前記スイッチ回路 15 c を切り換えた状態ではノード番号 ” 2 ” と ” 3 ” の入出力端子 11 にはノード番号 ” 1 ” の入出力端子 11 に入力された接点入力信号がそのまま出力され、擬似的に各コネクタ 10 a ~ 10 c 内の入出力端子 11 を信号線で直接接続したような状態となる。この接点入力信号の通信は図 3 に双方向矢印 Y によって示すように、双方向に行うことができるものであるが、前記入出力回路 15 によってインターロックをかけることにより、通信回路 10 の両端において互いに相反する入力が行なわれたとしても決して信号の衝突が起こらないようにしている。これは通信回路 10 が同期通信を行なうものであるゆえに得られる効果である。

【 0073 】

すなわち、前記インターロックの解除は次の同期サイクルにおいてノード番号 ” 1 ” の入出力端子 11 への接点入力信号がオフ状態となるまで行なわれないゆえに、信号の衝突によって通信回路が損傷するといった問題が発生することが決して起こらないように保護することができる。図 5 に示す例ではノード番号 ” 1 ” のノードに 2 回目の同期タイミングが訪れる頃までに、操作スイッチ 18 がオフ状態となっているので、ノード番号 ” 1 ”

50

の信号分配部 1 2 からの送信信号がオフ状態の M i d レベルとなり、前記記憶回路 1 5 a がクリアされると前記インターロックが解除されてすべての入出力端子 1 1 から接点入力信号を入力することが可能となる。

【 0 0 7 4 】

上述の実施形態では 3 ステートバッファを用いる場合には、信号ライン 2 a ~ 2 c に送信する信号には、オン状態の 2 つの電圧 (H i レベルと L o w レベル) およびオフ状態の中間電圧 (M i d レベル) が生じ得る例を示しているが、本発明はこの点に限定されるものではない。すなわち、信号ライン 2 a ~ 2 c には、2 ビットの 2 値の値 - 2 つのオン状態 (H i レベルまたは L o w レベル) を識別する信号と、オン状態かオフ状態かを識別する信号 - に分けて送信するようにしてもよい。また、信号送信に用いるバッファも、共通バスとしての特性に近づけるために、オープンコレクタタイプのものを用いたり、電源重畳や無線通信を用いるなど、種々の変形が考えられることはいまでもない。

10

【 0 0 7 5 】

図 6 , 7 は本発明の第 3 実施形態にかかる通信回路 2 0 の構成を示す図である。なお、以下の説明において図 1 ~ 5 と同じ符号付した部材は同一または同等の部材であるから、その詳細な説明を省略することにより重複説明を避ける。

【 0 0 7 6 】

図 6 , 7 に示すように、本実施形態の通信回路 2 0 は、3 本の信号ライン 2 a ~ 2 c からなる信号線 2 と、これらの信号線 2 の両端部において複数の入出力端子 1 1 (1 1 a ~ 1 1 h) に入力された平行信号を信号ライン 2 a ~ 2 c の数に合わせて分配すると共にシリアル信号に変換して各信号ライン 2 a ~ 2 c に送信する信号分配部 2 1 と、各信号ライン 2 a ~ 2 c を介して受信する複数のシリアル信号を比較して一致数の多いシリアル信号を真として選択すると共に平行信号に変換する多数決選択受信回路 2 2 と、多数決選択受信回路 2 2 によって選択受信した平行信号を入出力端子 1 1 に出力すると共に信号を出力している入出力端子 1 1 からは信号を入力させないインターロックをかける入出力回路 1 5 と、前記信号分配部 2 1 、多数決選択受信回路 2 2 および入出力回路 1 5 による通信の方向を時分割されたタイミングで切り換える時分割通信制御部 1 4 とを備える。

20

【 0 0 7 7 】

また、2 3 は通信回路 2 0 を構成する通信線 2 に分岐接続された結線設定部であり、この結線設定部 2 3 は前記多数決選択受信回路 2 2 によって受信された信号をそれぞれ出力する複数の内部信号出力部 2 4 と、前記信号分配部 2 1 を介して信号線に送信する信号をそれぞれ入力する複数の内部信号入力部 2 5 と、これらの内部信号出力部 2 4 から内部信号入力部 2 5 の間を任意に接続することにより各入出力端子 1 1 間の接続状態を切り換える格子状結線回路 2 6 と、この格子状結線回路 2 6 に接続される一方、別の通信回路 2 0 ' を連結することにより通信回路 2 0 , 2 0 ' 間の信号の中継を行なう中継接続部 2 7 とを備える。なお、2 8 a ~ 2 8 c は前記複数の入出力端子 1 1 が接続される E C U (E l e c t r i c C o n t r o l l U n i t) などの自動制御を行なう電子回路や制御対象となる各デバイスである。

30

【 0 0 7 8 】

前記信号分配部 2 1 は基本的には第 1 実施形態および第 2 実施形態に示す信号分配部 4 , 1 2 と同じであるが、本実施形態の信号分配部 2 1 は各信号ライン 2 a ~ 2 c に信号を分配出力するバッファ 2 1 a ~ 2 1 c の前に平行信号をシリアル信号に変換する変換回路 2 1 d を備える点において異なる。また、バッファ 2 1 a ~ 2 1 c は L o w レベルをオン状態、H i レベルをオフ状態とする 2 値の信号を出力するものである。したがって、バッファ 2 1 a ~ 2 1 c は 3 ステートバッファである必要はない。なお、先に入力信号を分岐し、変換回路 2 1 d を信号ライン 2 a ~ 2 c の数に合わせて複数も受けて、変換回路 2 1 の動作不良による通信不良も多数決選択受信によって除去できるようにしてもよい。

40

【 0 0 7 9 】

同様に、前記多数決選択受信回路 2 2 は前述の多数決選択受信回路 5 , 1 3 とほぼ同じ

50

であるが、比較器 2 2 a ~ 2 2 c と信号ライン 2 a ~ 2 c の間にシリアル信号をパラレル信号に変換する変換回路 2 2 d ~ 2 2 f を備える点において異なる。この場合も、先に変換回路 2 2 e ~ 2 2 f を用いてパラレル変換した後に比較器 2 2 a ~ 2 2 c で比較し、選択回路 2 2 g によって多数決選択を行なっているため、変換回路 2 2 d ~ 2 2 f の動作不良による通信不良も多数決選択によって除去できるように構成している。

【 0 0 8 0 】

本実施形態における入出力回路 1 5 は、オン状態において L o w レベルとなる接点信号を入出力するものであるから、その制御回路を簡潔なスイッチング素子によって形成することが可能である。

【 0 0 8 1 】

図 8 はスイッチング素子を用いた入出力回路 1 5 の一例を示す図である。図 8 において、1 5 d は前記多数決選択受信回路 2 2 に接続される F E T 等のスイッチング素子、1 5 e はこのスイッチング素子 1 5 d と電源 V c c との間に接続されるプルアップ抵抗、1 5 f はスイッチング素子 1 5 と抵抗 1 5 e と前記入出力端子 1 1 a に接続されるダイオード、1 5 g , 1 5 h はダイオード 1 5 f に直列接続される抵抗、1 5 i は両抵抗 1 5 g , 1 5 h の間と電源 V c c との間に接続されるダイオード、1 5 j は前記抵抗 1 5 h に接続される論理反転回路である。

【 0 0 8 2 】

これら一連の素子 1 5 d ~ 1 5 j によって形成される回路は多数決選択受信回路 2 2 によって受信される信号を反転して入出力端子 1 1 a に出力し、多数決選択受信回路 2 2 がオン状態 (H i レベル) であるときに入出力端子 1 1 a に L o w レベルを出力し、この入出力端子 1 1 a から信号の入力を行うことができないようにするインターロックをかけるものである。すなわち、多数決選択受信回路 2 2 の出力信号がオフ状態 (L o w レベル) のときのみ入出力端子 1 1 a の電圧レベルに合わせて論理反転回路 1 5 j の入力端の電圧が変化し、その反転した信号が信号分配部 2 1 に入力されるように構成している。この入出力回路 1 5 を設けることにより、通信回路 2 0 は入出力端子 1 1 a ~ 1 1 h への入力信号に合わせて双方向の通信を行うことができる。

【 0 0 8 3 】

なお、入出力回路 1 5 として、あえて、ダイオードやトランジスタのような単純な動作を行なう素子を簡単に組み合わせただけの回路を構成し、C P U などの複雑な制御回路をはいじょすることにより、製造コストを引き下げられるだけでなく、誤動作の発生をより確実にそしすることができる。

【 0 0 8 4 】

これら一連の素子 1 5 d ~ 1 5 j は、図示を省略するが多数決選択受信回路 2 2 によって受信される各ビットのオン / オフ接点信号において行なわれてそれぞれの入出力端子 1 1 a ~ 1 1 h に接続される。なお、図 8 には入力信号のインターロックをかける部分の回路構成を詳述するために要部だけを記載したものであるから、通信回路 2 0 に含まれる種々の詳細な部材の記載は省略していることはいうまでもない。

【 0 0 8 5 】

再び図 6、7 に戻り、前記結線設定部 2 3 は前記入出力端子 1 1 の中から任意に選んだもの同士を結線する設定を行なうものであり、前記内部信号出力部 2 4 は予め選択しておいた入出力端子 1 1 に出力されるのと同じ信号を出力する出力ポートであり、内部信号信号入力部 2 5 は前記入出力端子 1 1 に出力させる信号を入力する入力ポートである。そして、格子状結線回路 2 6 は内部信号信号入力部 2 5 と内部信号出力部 2 4 に連結された結線ラインを縦横に格子状に配置させ、結線したい位置に置いて縦と横の結線ラインを接続するものであり、今日においてはプログラマブルロジックデバイスで容易に形成することができる。

【 0 0 8 6 】

さらに、2 2 h は多数決選択受信回路 2 2 に設けて通信不良を発生した信号線および / または正しく受信できなかった回数の記録を集計して信号線の信頼度を求める信頼度監視

10

20

30

40

50

回路、24aは内部信号出力部24に備えて前記プログラマブルロジックデバイスに結線情報を書き込むための書込ポート、29は各通信回路20, 20'の信頼度監視回路22hおよび書込ポート24aと通信可能な位置に信頼度の低い通信線をバイパスさせるように各格子状結線回路26による結線状態を調整する結線調整部である。

【0087】

本実施形態の場合、既に詳述したように信号の信頼性を確保した上で多数のオンオフ信号からなる、パラレル信号を3本の信号ラインだけで通信できるので、配線の数を少なくして、簡潔で間違いの少ない配線を行うことができる。また、結線状態の変更は工会上結線回路26によって行うことができ、ハード的な構成の変更を行なう必要がないので、メンテナンスを容易とすることができる。通信回路20は言わばフラットケーブルなどによって連結されているかのように多数のECU間を連結することができる。

10

【0088】

前記信頼度監視回路22hは多数決選択によって通信不良を回避した回数や回避できなかった回数などを記録して、その通信回路20の信頼性を確認するので、結線調整部29によって信頼性の低い通信回路20をバイパスさせるように前記書込ポート24aを介してプログラマブルロジックデバイスの結線情報を書き換えることが可能となる。つまり、動的に通信回路20, 20'の取捨選択を行うことができ、通信回路20, 20'単位での多重化を実現してさらに高い信頼性を確保することができる。

【0089】

図9は前記通信回路10, 20, 20'を連結可能に構成された連結装置30の構成を示す図である。この連結装置30は、少なくとも2本の通信回路10, 20, 20'の入出力端子11a, 11bが接続される中継入出力端子31a, 31bと、各中継入出力端子31から受信する信号をそれぞれ出力する内部信号出力部32a, 32bと、各中継入出力端子31から送信する信号をそれぞれ入力する内部信号入力部33a, 33bと、内部信号入力部33に入力されるパラレル信号を中継入出力端子31a, 31bに出力すると共に、この信号を出力している中継入出力端子31a, 31bからは信号を入力させないインターロックをかけながら中継入出力端子から入力する信号を内部信号出力部に出力させる入出力回路34a, 34bと、これらの内部信号出力部32から内部信号入力部33の間を任意に接続することにより各入出力端子間31a, 31bの接続状態を切り換える格子状結線回路35とを備える。

20

30

【0090】

前記中継入出力端子31a, 31bは既に詳述した入出力端子11とほぼ同じ構造であり、接続対象となる通信回路10, 20, 20'の入出力端子11を接続可能に構成されている。本実施形態では図面を簡略化する為に2方向に中継入出力端子31a, 31bを設けた図を示しているが、この中継入出力端子31a, 31bを設ける数や方向は任意に設定できることは言うまでもない。

【0091】

前記内部信号出力部32a, 32bおよび内部信号入力部33a, 33bは図6に示す内部信号出力部24、内部信号入力部25と同じものであるから、その詳細な構成の説明を省略する。また、何れか一方の内部信号出力部32aには書込ポート32cを形成している。

40

【0092】

前記格子状結線回路35はプログラマブルロジックデバイスからなり、前記書込ポート32cを介してプログラマブルロジックデバイスに結線情報を書き込むことにより、結線状態を変更可能に構成している。

【0093】

本実施形態の連結装置はワイヤーハーネスの連結アダプタを構成するものとなり、これによって任意の通信ネットワークを形成することができる。

【0094】

図10は前記連結装置30を用いて形成した通信ネットワーク40の一例を示す図であ

50

る。図10に示すように、本実施形態の通信ネットワーク40は、それぞれ前記通信回路10, 20, 20'の何れかからなるワイヤーハーネス1'を連結装置30を介してネット状に接続した例を示している。41a~41cは接続対象となるECUであり、本例の場合、各ECU41a~41dは2ルートで接続されているので、仮に一本のワイヤーハーネス1'が部分Cにおいて完全に切断されて通信不能になることがあったとしても、通信できなくなったワイヤーハーネス1'の両端に設けた信頼度監視回路22h(図6参照)がワイヤーハーネス1'の切断を検知し、結線調整部29が結線状態を調整することにより、ワイヤーハーネス1'の切断前と同じように通信できる環境に動的に対応することができる。

【0095】

なお、本実施形態では説明を簡略化するためにできるだけ簡素な構成を図示しているが、実際には重要なECU間は3ルート以上確保するように通信ネットワーク40を構築できることはいうまでもない。

【符号の説明】

【0096】

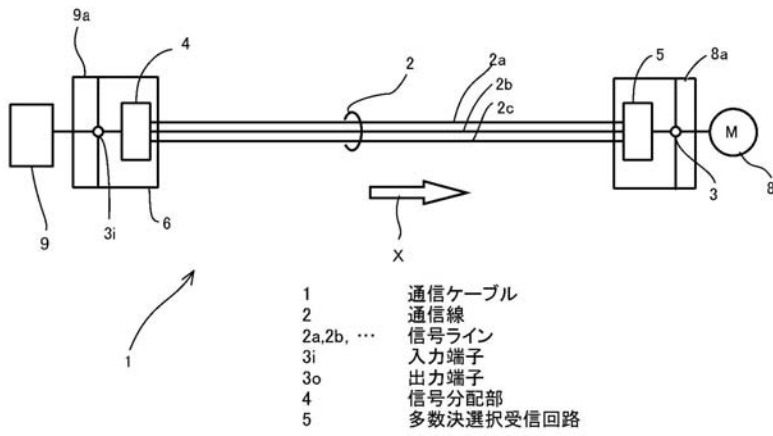
- 1, 10, 20, 20' 通信回路
- 2 通信線
- 2a, 2b, ... 信号ライン
- 3i 入力端子
- 3o 出力端子
- 4, 12, 21 信号分配部
- 5, 13, 22 多数決選択受信回路
- 11 入出力端子
- 14 時分割制御部
- 15a 記憶回路
- 15b 論理和演算回路
- 22h 信頼度監視回路
- 24, 32a, 32b 内部信号出力部
- 24a 書込ポート
- 25, 33a, 33b 内部信号入力部
- 26, 35 格子状結線回路(プログラマブルロジックデバイス)
- 27 中継接続部
- 29 結線調整部
- 30 連結装置
- 31a, 31b 中継入出力端子
- 40 通信ネットワーク

10

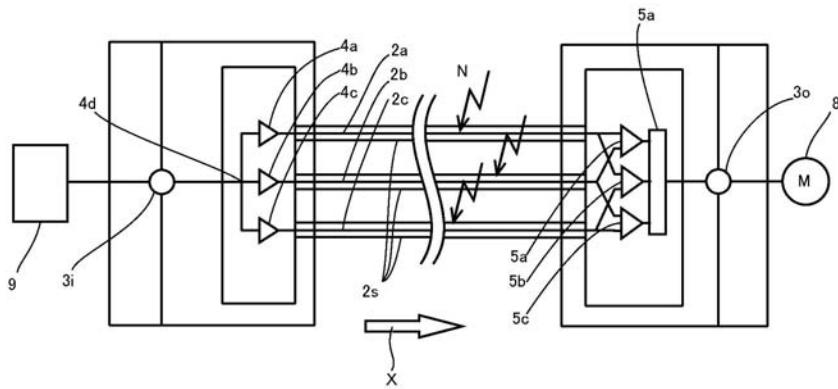
20

30

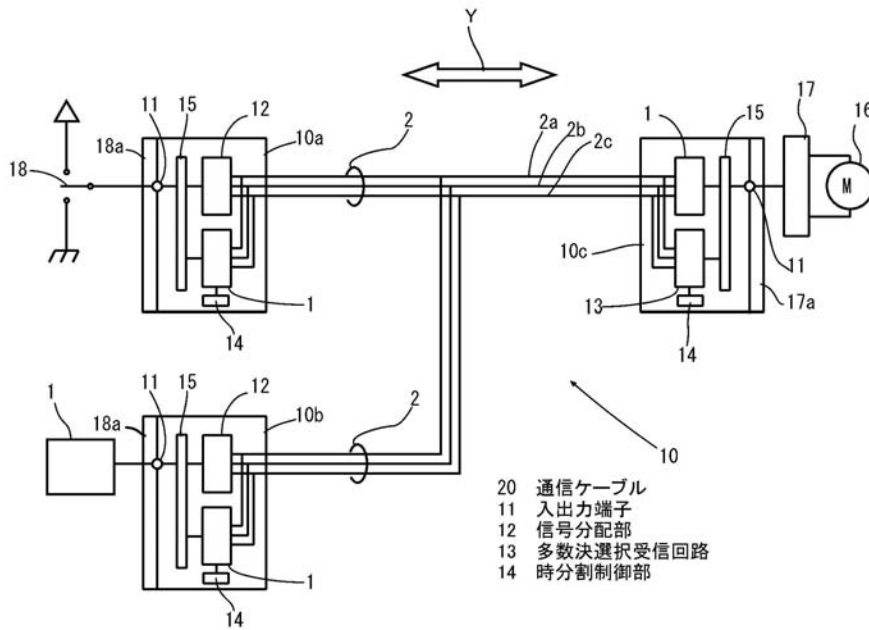
【 図 1 】



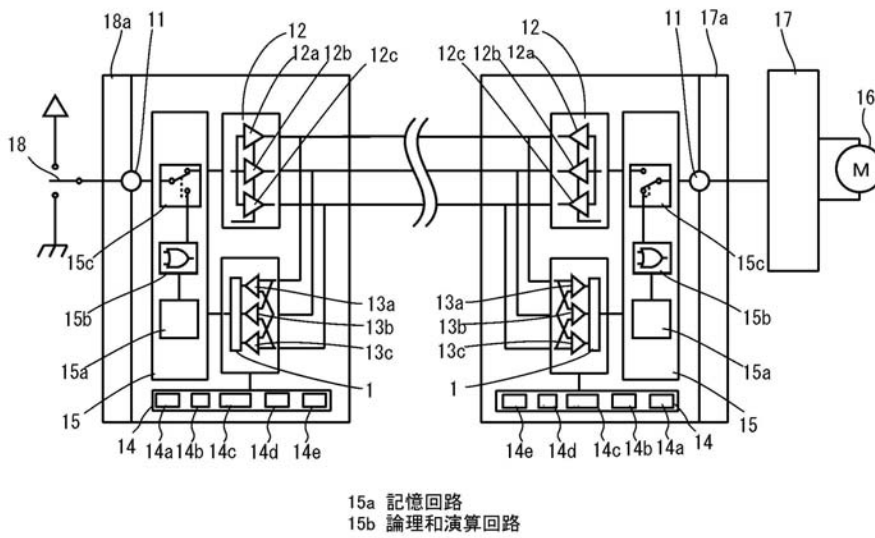
【 図 2 】



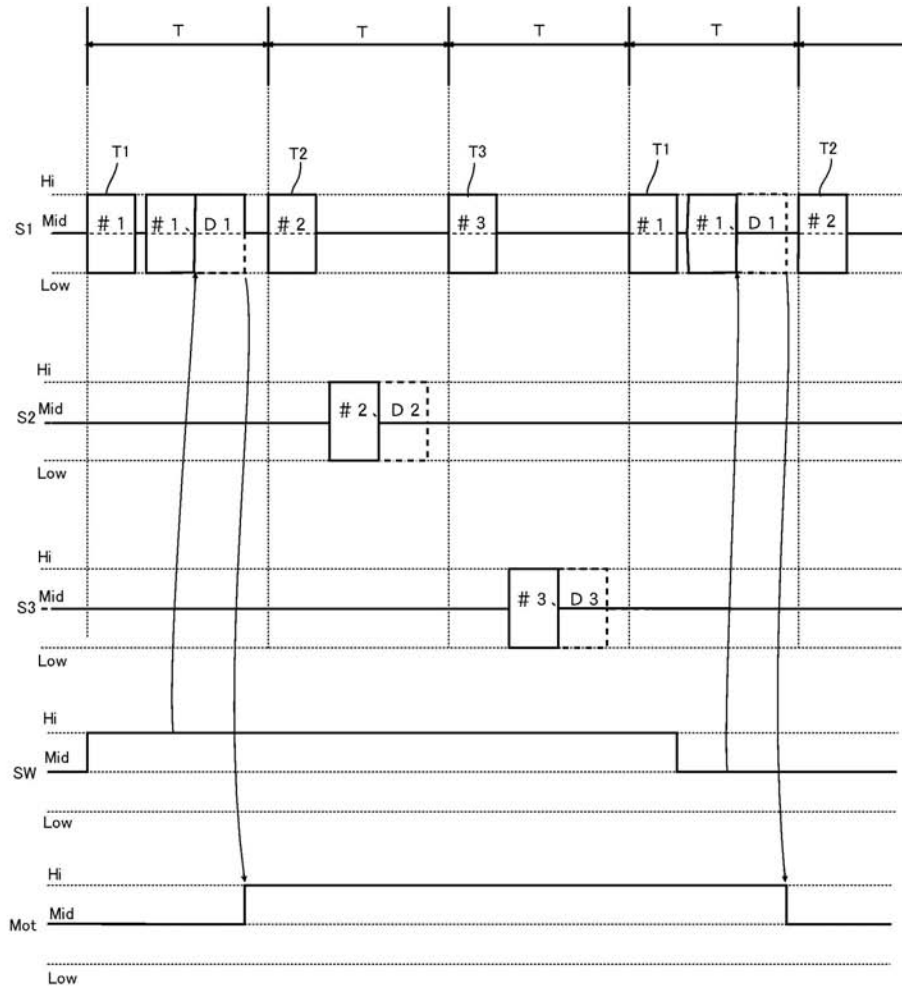
【 図 3 】



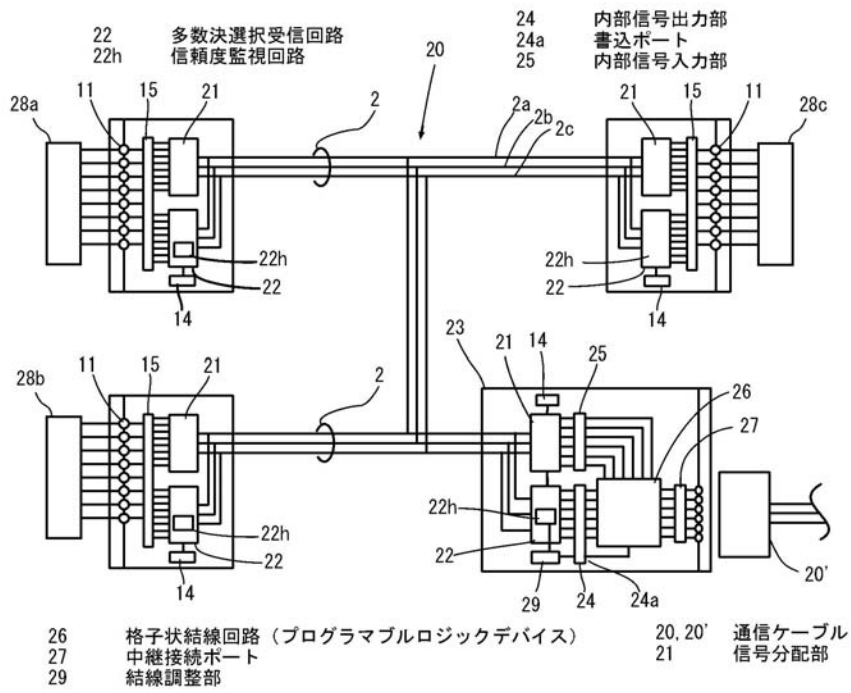
【 図 4 】



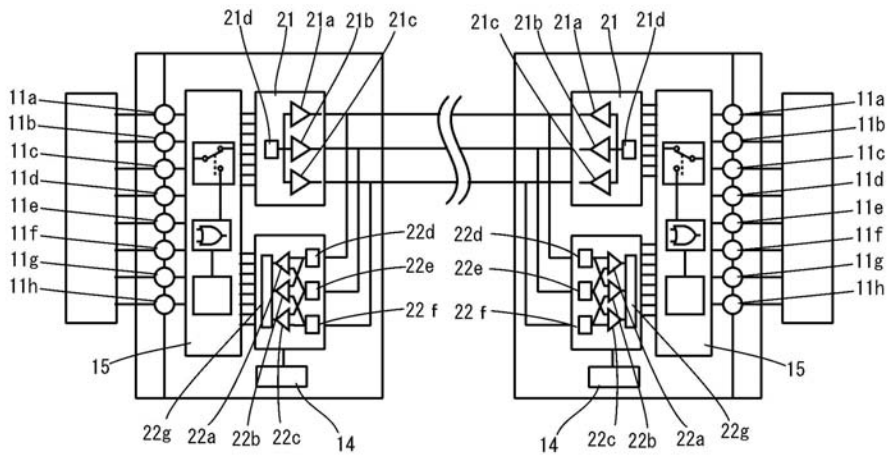
【 図 5 】



【 図 6 】



【 図 7 】



【 図 8 】

